

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)



Generate Collection

L11: Entry 11 of 43

File: JPAB

Apr 23, 1996

PUB-NO: JP408106791A
DOCUMENT-IDENTIFIER: JP 08106791 A
TITLE: METHOD OF DRIVING SEMICONDUCTOR MEMORY

PUBN-DATE: April 23, 1996

INVENTOR-INFORMATION:

NAME

COUNTRY

KOTAKE, YOSHINORI

ASAI, AKIRA

OKUDA, YASUSHI

MORI, TOSHIKI

NAKAO, ICHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

APPL-NO: JP06238758

APPL-DATE: October 3, 1994

INT-CL (IPC): G11 C 16/06; H01 L 27/115; H01 L 21/8247; H01 L 29/788; H01 L 29/792

ABSTRACT:

PURPOSE: To obtain a method which allows the reading of memory contents of a NOR type non-volatile memory with a lower voltage and a lower power consumption.

CONSTITUTION: Source wires S1-Sm are arranged parallel with word wires W1-Wm with respect to a memory array where NOR type non-volatile memory cells (T11)-(Tmn) are arranged in a matrix. When memory contents of the memory cells are read out, potentials of bit wires B1-Bn are set lower than that of a selected source wire. By this method, the lowering of the threshold voltage of the memory cells attributed to a drain voltage of a transistor is checked to prevent erroneous reading owing to action of a non-selection memory cell. This also eliminates charging or discharging by reading memory cells arranged on a common word wire in a batch thereby enabling the lowering of power consumption and further allows the expanding of the margin of variations in the threshold voltage of the memory cells.

COPYRIGHT: (C)1996, JPO

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-106791

(43) 公開日 平成8年(1996)4月23日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

H 0 1 L 27/115

21/8247

G 1 1 C 17/ 00

5 2 0 A

3 0 9 K

審査請求 未請求 請求項の数11 O L (全 24 頁) 最終頁に続く

(21) 出願番号

特願平6-238758

(22) 出願日

平成6年(1994)10月3日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 小竹 義則

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 浅井 明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 奥田 亨

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

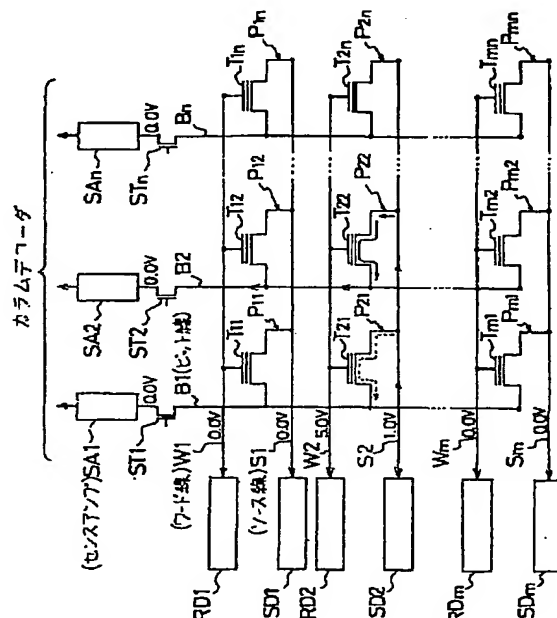
最終頁に続く

(54) 【発明の名称】 半導体記憶装置の駆動方法

(57) 【要約】

【目的】 低電圧、低消費電力でNOR型不揮発性メモリの記憶内容を読み出す方法を提供する。

【構成】 NOR型不揮発性メモリセル(T11)～(Tmn)をマトリクス状に配置してなるメモリセルアレイに対し、ソース線S1～Smをワード線W1～Wnと平行に設ける。メモリセルの記憶内容を読み出す際、ビット線B1～Bnの電位を選択ソース線の電位よりも低く設定する。この方法により、メモリセルのトランジスタのドレイン電圧によるしきい値電圧の低下を抑制し、非選択メモリセルの作動による誤読み出しを防止する。また、共通のワード線上に配置されるメモリセルを一括して読み出すことで、充放電をなくし、消費電力を低減することができる。さらに、メモリセルのしきい値電圧バラツキのマージンを拡大することができる。



【特許請求の範囲】

【請求項1】 少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列上に配列してなるメモリセルアレイと、上記メモリセルアレイの行方向に配置された各トランジスタのゲートに接続される複数のワード線と、上記メモリセルアレイの列方向に配置された各トランジスタのドレインに接続される複数のビット線と、上記メモリセルアレイの行方向に配置された各トランジスタのソースに接続される複数のソース線と、上記ワード線を選択するためのデコーダ回路と、上記ビット線を選択するためのデコーダ回路と、上記ソース線を選択するためのデコーダ回路とを備えた半導体記憶装置の駆動方法であって、上記複数のソース線のうち少なくとも1本のソース線を上記デコーダ回路により選択し、上記選択ソース線に接続されている上記不揮発性メモリセルと同じアドレスのワード線を上記デコーダ回路により選択し、

上記選択ワード線の電位を所定電位に設定し、上記ビット線の電位を第1電位に設定し、上記選択ソース線の電位を上記第1電位よりも高い第2電位に設定して、上記選択ソース線及び選択ワード線に接続される少なくとも1つのメモリセルの記憶内容を読み出すことを特徴とする半導体記憶装置の駆動方法。

【請求項2】 請求項1記載の半導体記憶装置の駆動方法において、上記メモリセルの記憶内容を読み出す際、上記第1電位をほぼ接地電位にすることを特徴とする半導体記憶装置の駆動方法。

【請求項3】 請求項1又は2記載の半導体記憶装置の駆動方法において、上記メモリセルの記憶内容を読み出す際、非選択ソース線の電位を上記第1電位と等しく設定することを特徴とする半導体記憶装置の駆動方法。

【請求項4】 請求項1又は2記載の半導体記憶装置の駆動方法において、上記メモリセルの記憶内容を読み出す際、非選択ソース線の電位をフローティングにすることを特徴とする半導体記憶装置の駆動方法。

【請求項5】 請求項1、2、3又は4記載の半導体記憶装置の駆動方法において、上記メモリセルの記憶内容を読み出す際、上記選択ソース線に接続されている全ての上記不揮発性メモリセルを一括で読み出すことを特徴とする半導体記憶装置の駆動方法。

【請求項6】 請求項1、2、3又は4記載の半導体記憶装置の駆動方法において、上記メモリセルの記憶内容を読み出す際、非選択ビット線の電位をフローティングにすることを特徴とする半導

体記憶装置の駆動方法。

【請求項7】 請求項1、2、3、4又は5記載の半導体記憶装置の駆動方法において、書き込みベリファイ動作又は消去ベリファイ動作における読み出しを行う際には、選択ソース線の電位を上記読み出し動作における選択ソース線の電位より低く設定することを特徴とする半導体記憶装置の駆動方法。

【請求項8】 請求項1、2、3、4、5、6又は7記載の半導体記憶装置の駆動方法において、

10 上記不揮発性メモリセルとして、上記ソースと上記容量部の間の容量結合比を上記ドレインと上記容量部の間の容量結合比よりも大きくなるように形成された不揮発性メモリセルを用いることを特徴とする半導体記憶装置の駆動方法。

【請求項9】 請求項1、2、3、4、5、6又は7記載の半導体記憶装置の駆動方法において、上記不揮発性メモリセル内の上記メモリトランジスタとして、容量部がスプリットゲート構造を有するメモリトランジスタを用いることを特徴とする半導体記憶装置の駆動方法。

20 【請求項10】 請求項9記載の半導体記憶装置の駆動方法において、

上記スプリットゲート構造を有する上記メモリトランジスタの容量部は、上記メモリトランジスタのソース領域とオーバーラップする領域を有することを特徴とする半導体記憶装置の駆動方法。

【請求項11】 請求項1、2、3、4、5、6又は7記載の半導体記憶装置の駆動方法において、予め低しきい値状態におけるメモリセルのしきい値電圧を負に設定しておき、

30 上記メモリセルの記憶内容を読み出す際、全てのワード線を接地電位にすることを特徴とする半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性メモリとして機能する複数のメモリセルからなるアレイ構造を有する半導体記憶装置及びその駆動方法に関するものである。

【0002】

40 【従来の技術】 従来より、不揮発性メモリを搭載した半導体記憶装置として、例えば特開平5-28778号公報や特開平4-356797号公報、特開平4-15953号公報に開示されるごとく、不揮発性メモリセルを構成するメモリセルのソースに接続されているソース線にもソースデコーダを接続するようにしたものが知られている。以下、図24～図28を参照しながら、従来の不揮発性メモリセルを搭載した半導体記憶装置について説明する。図24は従来の半導体記憶装置のブロック回路図である。101はメモリセルアレイ、102はロウデコーダ回路、103はカラムデコーダ回路、104はソースデコーダ回路で

3

ある。図25は従来の半導体記憶装置のメモリセルアレイ101の一部を示す回路図である。ここでT11~Tmnは不揮発性メモリトランジスタ、W1~Wmはワード線、B1~Bnはビット線、S1~Smはソース線、SA1~SAnはセンスアンプ、ST1~STnは列選択用トランジスタ、RD1~RDmはロウデコーダ、SD1~SDmはソースデコーダである。図25に示すように各メモリトランジスタT11~Tmnはソース、ドレイン、ゲートからなり、このトランジスタT11~Tmnのゲート下方に容量部(フローティングゲート)が配置されて、不揮発性メモリセルが構成されている。そして、メモリセルアレイ101は、各トランジスタT11~Tmnを内蔵するメモリセルをm行n列の行列状に配置して構成されている。そして、第1行に配置されたトランジスタT11~T1nのゲートはワード線W1に、第2行に配置されたトランジスタT21~T2nのゲートはワード線W2に、第m行に配置されたトランジスタTm1~Tmnのゲートはワード線Wmにそれぞれ接続されている。また、第1行に配置されたトランジスタT11~T1nのソースはソース線S1に、第2行に配置されたトランジスタT21~T2nのソースはソース線S2に、第m行に配置されたトランジスタTm1~Tmnのソースはソース線Smにそれぞれ接続されている。さらに、第1列に配置されたトランジスタT11~Tm1のドレインはビット線B1に、第2列に配置されたトランジスタT12~Tm2のドレインはビット線B2に、第n列に配置されたトランジスタT1n~Tmnのドレインはビット線Bnにそれぞれ接続されている。すなわち、ワード線W1~Wmとビット線B1~Bnの交点にメモリトランジスタT11~Tmnを配置するNOR型の構成である。ここでワード線W1~Wmとソース線S1~Smは同じ方向に延びて、ワード線W1~WmはロウデコーダRD1~RDmをハイしてなるロウデコーダ回路102に、ソース線S1~SmはソースデコーダSD1~SDmを配置してなるソースデコーダ回路104に接続される一方、ビット線B1~Bnはワード線W1~Wm及びソース線S1~Smとは直交する方向に延びてセンスアンプSA1~SAnを介してカラムデコーダ回路103に接続される。そして、後述するように、各ビット線B1~Bnの一部から各メモリトランジスタT11~Tmnを経て各ソース線S1~Smに至る経路P11~Pmnには、ゲートの電位がしきい値以上でドレイン-ソース間の電位が所定以上のときに、容量部のメモリ状態が“1”であれば電流が流れ、容量部のメモリ状態が“0”であれば電流が流れないようになされている。

【0003】次に、図25を参照しながら、従来の半導体記憶装置のデータ読み出し方法について説明する。EEPROMに代表される不揮発性半導体記憶装置ではメモリトランジスタのしきい値を電気的に大きく変化させることで書き込みと消去が行なわれる。一般には、メモ

4

リセルが読み出し電源電圧Vccより高しきい値電圧にある状態を“0”状態、メモリセルが読み出し電源電圧Vccより低しきい値電圧にある状態を“1”状態と言い、以後そう呼ぶことにする。

【0004】例えばトランジスタT22を内蔵するメモリセル(以下、メモリセル(T22)と記述する)を読み出す場合について従来の読み出し方法を説明する。まず、選択ワード線W2を読み出し電源電圧Vcc(例えば5V)にし、非選択ワード線W1、W3を接地電位Vss(例えば0V)にする。同時に選択ソース線S2を接地電位Vssにし、非選択ソース線S1、Smを読み出し中間電位Vrm(例えば1V)又は読み出し中間電位Vrmに保ったままフローティングにする。また、選択ビット線B2をセンスアンプを介してVrmにし、非選択ビット線B1、Bnを接地電位Vss又は接地電位Vssに保ったままフローティングにする。実際には、ビット線にはセンスアンプが接続されているため、ビット線の電位はVrmから僅かに変動するが、ここでは説明を簡単にするために一定の電圧であるとする。また、非選択ソース線と非選択ビット線をフローティングにする場合もあったが、説明を簡単にするために、非選択ソース線は読み出し中間電位Vrm、非選択ビット線はVssとする。メモリセル(T22)が“0”状態ならばメモリセル(T22)は電流を流さず、ビット線B2には電流が流れない。メモリセル(T22)が“1”状態ならばビット線B2からメモリセル(T22)を通してソース線S2に電流が流れる。ビット線B2の電流の有無をセンスアンプで検知することでデータが読み出される。従来の不揮発性メモリセルを搭載した半導体記憶装置では、例えば図19に示すようにメモリセル(T22)と同じビット線B2に接続されている非選択メモリセル(T12)が過剰に低しきい値電圧状態で弱くデプレッション化していたとしても、ソース線S1の電位がVrmでありビット線B2と同電位であるため、ビット線B2からS1には電流は流れにくく、非選択メモリセル(T12)がよほど強くデプレッション化していない限り非選択メモリセル(T12)を誤読み出しにはならず、読み出しマージンが広がっている。ソース線S1をフローティングにする場合も同様に、ビット線B2からソース線S1には貫通電流は流れず、非選択メモリセル(T12)を誤読み出しにはならず、読み出しマージンが広がっている。

【0005】

【発明が解決しようとする課題】しかしながら、上記図25に示すような従来の不揮発性メモリセルを搭載した半導体記憶装置では、書き込みや消去動作をベリファイ動作を行うことで制御してもメモリセルの特性のばらつきが大きく、メモリセルをデプレッション化(しきい値電圧が0V以下)してしまうことが考えられる。すなわち、半導体記憶装置の高集積化に伴い、半導体記憶装置の製造工程において、不純物濃度のバラツキや各部の寸

法のバラツキによってしきい値にある程度のバラツキが生じ、寸法などの誤差が大きくなり、バラツキを大きくする傾向にある。

【0006】さらに、不揮発性メモリトランジスタ（特にスタック型のフローティングゲートを有する不揮発性メモリトランジスタ）のしきい値電圧はドレイン電圧に依存して変化するという特性がある。このことを図27、図28及び容量-電位基本関係式を使って説明する。図27はスタック型フローティングゲート構造を有するトランジスタの断面を概略的に示す。図28

(a)、(b)は、それぞれ試作したスタックフローティングゲート構造を有する不揮発メモリトランジスタと通常のMOSトランジスタとのドレイン電流 I_d -ゲート電圧 V_g 特性を示す。図27において、61はフローティングゲート、62はコントロールゲート、63はドレイン、64はソース、1は半導体基板を示し、便宜上絶縁膜の図示は省略している。 C_c はフローティングゲート-コントロールゲート間容量、 C_d はフローティングゲート-ドレイン間容量、 C_s はフローティングゲート-ソース間容量、 C_b はフローティングゲート-半導体基板間容量、 V_{cg} はコントロールゲート62への印加電圧、 V_{fg} はフローティングゲート61の電位、 V_d はドレイン電圧、 V_s はソース電圧、 V_b は半導体基板1の電位である。図28(b)に示すように、通常のMOSトランジスタではドレイン電圧 V_d が0.1Vと2.0Vとではしきい値電圧にほとんど差がないように、フローティングゲートから見たしきい値電圧 V_{Tfg} はドレイン電圧にほとんど依存せず一定である。一方、図27に示すようにフローティングゲート61はドレイン63との間で容量結合しており、ドレイン63に電圧 V_d を印加するとフローティングゲート61の電位 V_{fg} が下記の容量-電位基本関係式に示すごとく、 $r_d V_d$ だけ($r_d = C_d/C_t$)低下する。また、コントロールゲート62から見たしきい値電圧 V_{Tcg} はドレイン電圧 V_d により $r_d V_d/r$ だけ低下する。その結果、図28(a)に示すように、スタック型フローティングゲート構造を有する不揮発性メモリトランジスタでは、ドレイン電圧 V_d が0.1Vの場合より2.0Vの場合のほうがしきい値電圧が約0.3V(通常0.2~0.4V)だけ低下している。

【0007】(容量-電位基本関係式)

$$C_t = C_c + C_d + C_s + C_b$$

$$r = C_c/C_t, \quad r_d = C_d/C_t, \quad r_s = C_s/C_t, \\ r_b = C_b/C_t$$

$$V_{cg} = (V_{fg} - r_d V_d - r_s V_s - r_b V_b) / r \\ \text{つまり } V_{fg} = r V_{cg} + r_d V_d + r_s V_s + r_b V_b \\ V_{Tcg0} = (V_{Tfg} - r_s V_s - r_b V_b) / r \\ V_{Tcg} = V_{Tcg0} - r_d V_d / r$$

以上のように、メモリセルアレイ内に配置される各不揮発性メモリセルのしきい値は、製造工程における不純物濃度の不均一な分布のみならず、各部への電圧の印加状

態によってもバラツキが生じ、全体としてある範囲内に分布している。図26は、このような各不揮発性メモリセルにおけるしきい値分布状態を概略的に示す。横軸は不揮発性メモリのしきい値、縦軸は度数を表わす。NOR型のメモリセルアレイでは誤読み出しが起こらないように、ベリファイ動作等によって、しきい値電圧は高めに制御されており、予め各メモリセルのしきい値は、高しきい値状態(“0”状態)では図26の実線A~Bに、低しきい値状態(“1”状態)では図26の実線C~Dにそれぞれ示す分布状態となるよう設定されている。また、読み出し動作では、すでに説明したように、ドレイン電圧 V_d に依存してしきい値電圧が低下する(0.2~0.4V)ので、メモリセルのしきい値は、破線A'~B'及びC'~D'に示す分布状態となる。

【0008】一方、低しきい値状態においては、センスアンプの感度やメモリセルの相互コンダクタンスにもよるが、メモリセルのコントロールゲートに読みだし電圧 V_{cc} の最小値 V_{ccmin} を印加した時に流れる読みだし電流(約50 μ A以上)を確保するために、メモリセルのしきい値は V_{ccmin} よりも約1.0V程度は低くしなければならない(図26の点B'参照)。また、NOR型のメモリセルアレイでは、非選択メモリセルによる誤読み出しが生じないように、1本のビット線に接続されている非選択メモリセルのリーク電流の総和が読みだし電流(約50 μ A以上)より十分小さくしなければならず、低しきい値状態のメモリセルのしきい値電圧は約0.5V以上でなければならない(図26の点A'参照)

以上のように、低しきい値状態においては、例えば V_{cc} が3.0Vで V_{ccmin} が2.7Vの場合には、図26の点A'~点B'の間の電位差を1.2V以下にしなければならず、ドレイン電圧によるしきい値の低下を0.2~0.4Vと仮定すると、ベリファイ動作等によるしきい値分布(A~B)の幅は1.0V以下にしなければならない。以上のべた数値は最小限必要な数値であり、実際の不揮発性メモリにおいてはベリファイ動作の制御マージンを考慮にいれる必要がある。したがって、不揮発性メモリのしきい値の分布状態の制御は低しきい値状態において特に厳しさが要求される。しかも、高集積化されると、発熱を抑制する必要があるなどの点から消費電力の低減を図るべく、半導体記憶装置の動作電圧は低電圧化される傾向にある。このため、読みだし電圧 V_{cc} が低くなると、益々しきい値分布の制御を厳しくする必要が生じる。例えば読みだし電圧 V_{cc} が3.0V程度になると、ドレイン電圧によるしきい値の低下さえも無視できない。かかる原因が重なって、半導体記憶装置の一部のメモリセルに過剰にデプレッション化が生じる確率が高くなっている。

【0009】一方、高しきい値状態のメモリセルは読みだし電圧 V_{cc} の最大値 V_{ccmax} を印加した時にもOFF状態でなければならない。このため、そのリーク電流は

読みだし電流(約50 μ A以上)より十分小さくしなければならず、 V_{ccmax} よりも約0.5 V程度以上高くしなければならぬ(図26の点C'参照)。高しき値状態のメモリセルはこれ以外に厳しい制限条件はないので、読みだし動作のみを考慮する場合においては、しきい値電圧が高いほど有利であり、しきい値電圧の制御マージンは大きくなる。

【0010】なお、書き込み動作や、書き込み・消去回数の上昇を考慮すると、高しき値状態といってもできる限りしきい値電圧を低くするのが好ましい。しかし、読みだし動作のみを考慮する場合には、しきい値を低くする必要はない。本発明は読みだし動作に関するものであるため、ここでは高しき値状態のメモリセルは、しきい値電圧が高いほど有利であると仮定している。

【0011】図25に示したような従来の不揮発性メモリセルを搭載した半導体記憶装置の読み出し方法では、メモリセルのドレインに接続される選択ビット線に読み出し中間電位を印加しているため、選択ビット線に接続されている非選択メモリセルのしきい値電圧をも低下させてしまい、過剰にデプレッション化することが生じる。特に、図25に示すメモリセル(T12)やメモリセル(T22)ではドレインだけでなくソースにも読み出し中間電位を印加しており、基板バイアス効果によりフローティングゲートから見たしきい値電圧は上昇するが、読み出し中間電位が1.0 Vでは基板バイアス効果は約0.1 V程度であり、ソース電圧 V_s によるしきい値電圧の低下によって打ち消されてしまい、コントロールゲートから見たしきい値電圧はより一層低下する。

【0012】以上のような原因により、例えば図25に示す選択ビット線B2に接続された非選択メモリセル(T12)が過剰にデプレッション化しているときに、低しきい値状態のメモリセル(T22)を読みだす場合、ビット線B2に電流が流れビット線B2の電位がわずかに低下する。そのとき読み出し中間電位のソース線S1からメモリセル(T12)を通してビット線B2に電流がながれ、ビット線B2の電位を読み出し中間電位に戻ってしまう。ビット線B2の電位が変化しなければビット線B2に接続されているセンスアンプSA2は低しきい値状態のメモリセル(T22)を高しきい値状態であると判断し、誤読み出しになるおそれがある。また、読み出しの高速化を図るために必要である相互コンダクタンスの向上も困難である。

【0013】本発明の第1の目的は、読み出しの際に非選択メモリセルにおけるしきい値電圧低下を防止することにより、誤読み出しを防止することにある。

【0014】また、本発明の第2の目的は、読み出しの際における非選択ソース線の充放電を防止することにより、消費電力の低減を図ることにある。

【0015】さらに、本発明の第3の目的は、誤読み出しの防止や消費電力の低減を図りつつ、読み出し動作の

高速化を図ることにある。

【0016】

【課題を解決するための手段】上記各目的を達成するために、本願では請求項1～11の発明に示される手段を講じている。

【0017】具体的に請求項1の発明の講じた手段は、少なくともゲート、ソース、ドレインからなるトランジスタと容量部とを有する不揮発性メモリセルを行列上に配列してなるメモリセルアレイと、上記メモリセルアレイの行方向に配置された各トランジスタのゲートに接続される複数のワード線と、上記メモリセルアレイの列方向に配置された各トランジスタのドレインに接続される複数のビット線と、上記メモリセルアレイの行方向に配置された各トランジスタのソースに接続される複数のソース線と、上記ワード線を選択するためのデコーダ回路と、上記ビット線を選択するためのデコーダ回路と、上記ソース線を選択するためのデコーダ回路とを備えた半導体記憶装置の駆動方法として、上記複数のソース線のうち少なくとも1本のソース線を上記デコーダ回路により選択し、上記選択ソース線に接続されている上記不揮発性メモリセルと同じアドレスのワード線を上記デコーダ回路により選択し、上記選択ワード線の電位を所定電位に設定し、上記ビット線の電位を第1電位に設定し、上記選択ソース線の電位を上記第1電位よりも高い第2電位に設定して、上記選択ソース線及び選択ワード線に接続される少なくとも1つのメモリセルの記憶内容を読み出す方法である。

【0018】請求項2の発明の講じた手段は、請求項1の発明において、上記メモリセルの記憶内容を読み出す際、上記第1電位をほぼ接地電位にする方法である。

【0019】請求項3の発明の講じた手段は、請求項1又は2の発明において、上記メモリセルの記憶内容を読み出す際、非選択ソース線の電位を上記第1電位に設定する方法である。

【0020】請求項4の発明の講じた手段は、請求項1又は2の発明において、上記メモリセルの記憶内容を読み出す際、非選択ソース線の電位をフローティングにする方法である。

【0021】請求項5の発明の講じた手段は、請求項1、2、3又は4の発明において、上記メモリセルの記憶内容を読み出す際、上記選択ソース線に接続されている全ての上記不揮発性メモリセルを一括で読み出す方法である。

【0022】請求項6の発明の講じた手段は、請求項1、2、3又は4の発明において、上記メモリセルの記憶内容を読み出す際、非選択ビット線の電位をフローティングにする方法である。

【0023】請求項7の発明の講じた手段は、請求項1、2、3、4又は5の発明において、書き込みベリファイ動作又は消去ベリファイ動作における読み出しを行

10

20

30

40

50

う際には、選択ソース線の電位を上記読み出し動作における選択ソース線の電位より低く設定する方法である。

【0024】請求項8の発明の請じた手段は、請求項1、2、3、4、5、6又は7の発明において、上記不揮発性メモリセルとして、上記ソースと上記容量部の間の容量結合比を上記ドレインと上記容量部の間の容量結合比よりも大きくなるように形成された不揮発性メモリセルを用いる方法である。

【0025】請求項9の発明の請じた手段は、請求項1、2、3、4、5、6又は7の発明において、上記不揮発性メモリセル内の上記メモリトランジスタとして、容量部がスプリットゲート構造を有するメモリトランジスタを用いる方法である。

【0026】請求項10の発明の請じた手段は、請求項9の発明において、上記スプリットゲート構造を有する上記メモリトランジスタの容量部に、上記メモリトランジスタのソース領域とオーバーラップする領域を設けておく方法である。

【0027】請求項11の発明の請じた手段は、請求項1、2、3、4、5、6又は7の発明において、予め“1”状態のメモリセルのしきい値電圧を負に設定しておき、上記メモリセルの記憶内容を読みだす際、全てのワード線を接地電位にする方法である。

【0028】

【作用】以上の構成により、各請求項の発明では、下記的作用が得られる。

【0029】請求項1又は2の発明によれば、不揮発性メモリセルを行列上に配列したメモリセルアレイ構造を有する半導体記憶装置において、メモリセルの記憶内容を読みだす際、ビット線の電位が選択ソース線の電位よりも低く設定されるので、選択ビット線に接続される各非選択メモリセルにおいて、ドレイン電圧に依存するしきい値電圧の低下が抑制される。したがって、非選択メモリセルの誤差動による誤読み出しが抑制されることになる。

【0030】請求項3の発明では、請求項1の発明の作用に加え、非選択ソース線はビット線の電位に等しいから、非選択メモリセルがデプレッション化していても非選択ソース線からビット線へはほとんど電流は流れない。したがって、誤読み出しが確実に防止されることになる。

【0031】請求項4の発明では、記憶内容の読み出しの際、非選択ソース線がフローティングに保持されるので、ソース線における充放電が抑制され、その分消費電力が少なくなる。

【0032】請求項5の発明では、選択ソース線上のすべてのメモリセルが一括して読み出されるので、読み出し始動時に電圧が印加されるのは選択ソース線と選択ワード線のみであり、充放電による電力の消費が極めて少なくなり、消費電力がさらに低減されることになる。

【0033】請求項6の発明では、メモリセルの読み出しの際、非選択ビット線の電位がフローティングになるので、ビット線上への充放電による電力の消費が抑制されることになる。

【0034】請求項7の発明では、ベリファイ時の読み出し動作のソース電圧を通常の読み出し動作のソース電圧より低くすることにより、ベリファイ時においてはしきい値は高めに制御され、通常の読み出し動作ではしきい値が低めに制御される。したがって、非選択メモリセルはしきい値電圧は高いままであるが、選択メモリセルは読み出し動作に適したしきい値電圧にすることが可能であり、ベリファイ時の“1”状態のしきい値電圧の上限を高く設定することができ、半導体記憶装置のしきい値の設計マージンを大きくとることが可能になる。

【0035】請求項8の発明では、ソース電圧によるしきい値電圧の低下が大きくなる構造となっているので、ソース電圧をソフトライトが起こらない程度に高電圧に設定しておくことが可能になり、メモリセルの相互コンダクタンスを大きくして読み出し動作を高速にすることができる。

【0036】請求項9又は10の発明では、不揮発性メモリセルにスプリットゲート構造でソース側にフローティングゲートを設けたメモリトランジスタを用いる構成になっているので、フローティングゲートのソース側の容量結合比は大きくドレイン側の容量結合比は殆ど0になっており、ソース電圧によるしきい値電圧低下を大きくできる。

【0037】請求項11の発明では、読み出し電圧を接地電圧に設定して、メモリセルの記憶内容の読み出しが行われるので、読み出し時におけるワード線の電位の変動がなく、消費電力がさらに低減される。

【0038】

【実施例】以下、本発明の各実施例について、各々図面を参照しながら説明する。

【0039】(第1実施例)以下、本発明における第1実施例の半導体記憶装置の駆動方法について、図1～5を参照しながら説明する。本実施例における半導体記憶装置のブロック回路図は図24に示した従来の不揮発性半導体記憶装置のブロック回路図と同一であり説明は省略する。また、図1に示す半導体記憶装置のメモリセルアレイの構造自体は、図25に示した従来の不揮発性半導体記憶装置のメモリセルアレイの構造と同一である。すなわち、各トランジスタ $T_{11} \sim T_{mn}$ を内蔵するメモリセルを m 行 n 列の行列状に配置して構成され、メモリセル($T_{11} \sim T_{mn}$)、ワード線 $W_1 \sim W_m$ 、ビット線 $B_1 \sim B_n$ 、ソース線 $S_1 \sim S_m$ 、各列選択用トランジスタ $ST_1 \sim ST_n$ 、センスアンプ $SA_1 \sim SA_n$ 、ロウデコーダ $RD_1 \sim RD_m$ 、カラムデコーダ、ソースデコーダ $SD_1 \sim SD_m$ の構造と配置関係は、従来例における図25に示す構造と同じである。なお、センスアン

11

アは全てのビット線B1～Bnに配置されている。

【0040】図1を参照しながら、本実施例における読み出し方法について説明する。ここでは、共通のワード線W2及びソース線S2に接続されるメモリセル(T21)～(T2m)を一括に読み出す場合について説明するものとし、メモリセル(T11)と(T12)はデプレッション化していると仮定する。選択ワード線W2の電位を読み出し電源電圧Vcc(例えば5V)に設定し、非選択ワード線W1, ..., Wmの電位を接地電位Vss(例えば0V)に設定する。同時に選択ソース線S2の電位を読み出し中間電位Vrm(例えば1V)に設定し、非選択ソース線S1, ..., Smの電位を接地電位Vssに設定する。また、すべてのビット線B1～Bnの電位をセンスアンプを介して接地電位Vssに設定する。実際には、ビット線B1～Bnにはセンスアンプが接続されているため、ビット線B1～Bnの電位は接地電位Vssから僅かに変動するが、ここでは説明を簡単にするために、ビット線B1～Bnの電位は一定の電圧(接地電位Vss)であるとするとする。

【0041】以上のように読みだし動作における各部の電位を設定すると、例えば、メモリセル(T22)が“0”状態(高しきい値状態)ならばメモリセル(T22)は作動せず電流を流さない。また、メモリセル(T12)は過剰にデプレッション化しているが、ビット線B2と非選択ソース線S1の電位が同じ(接地電位Vss)であるためメモリセル(T12)には電流が流れない。したがって、ビット線B2には電流が流れずメモリセル(T22)が“0”状態にあることを検知できる。一方、例えば、メモリセル(T21)が“1”状態(低しきい値状態)ならばメモリセル(T21)が作動して電流が流れ、ビット線B1には電流が流れメモリセル(T21)が“1”状態にあることを検知できる。ここで、メモリセル(T11)はデプレッション化しているが、メモリセル(T21)が作動して流れた電流がメモリセル(T11)が配置されている経路P11を経てソース線S1に流れ出てしまわない程度にメモリセル(T11)のしきい値電圧は制御されている。

【0042】したがって、本実施例の読みだし方法では、ワード線W2とソース線S2のみに読み出し用の電位を印加するだけで、メモリセル(T21)～(T2m)を一括に読み出すことができる。その場合、従来の不揮発性メモリセルを配置した半導体記憶装置の読みだし動作に比べ、読み出し頻度が多い場合やベリファイ時の読み出し動作では充放電する配線が少ないので、低消費電力化できる。

【0043】また、ビット線と非選択ソース線とは接地電位Vssに設定されているため、非選択メモリセルにおけるドレイン電圧によるしきい値低下はなく、ドレイン電圧によるしきい値低下に起因する誤読み出しは起こらない。

12

【0044】なお、上記読みだし動作では、選択ソース線に読み出し中間電位Vrmが印加されるので、ソース電圧による選択メモリセルのしきい値低下が生じる。しかし、選択メモリセルが“1”状態ならば問題はなく、むしろメモリセルの作動電流が増加して読み出しが高速になる。さらに、ソースに印加する読み出し中間電位Vrmを上記実施例よりも少し高めにすればメモリセルの相互コンダクタンスを大きくでき、読み出しをより高速にできる。一方、選択メモリセルが“0”状態(高しきい値状態)ならばソース電圧による選択メモリセルのしきい値低下が起こり、電流を流してしまうことが考えられるが、“0”状態のメモリセルのしきい値電圧の下限を十分高く設定し、ソース電圧によってしきい値低下しても電流が流れないようにすることができる。NOR型の不揮発性メモリでは“0”状態のしきい値電圧には下限は設けられているが上限は特に設けられていない、特性バラツキに余裕があることが知られている。

【0045】また、上記実施例の読み出し方法では、選択ワード線に接続されるすべてのメモリセルのデータを読みだす一括読み出しを行っているが、1つのメモリセルの読み出しを行うことも可能である。例えばメモリセル(T22)を読み出しを行う場合には、各ワード線W1～Wm、ソース線S1～Smの電位は上記図1に示す電位とし、選択ビット線B2の電位は例えば接地電位Vss(0V)にする一方、非選択ビット線B1, B3～Bnと電圧供給源との間をOFFして電位をフローティングにすればよい。その場合にも、従来の読み出し方法と異なり、選択ビット線B2の電位が接地電位Vssと低いので、しきい値電圧の低下が抑制され、“誤読み出しを防止することができる。ただし、上記実施例のように、選択ワード線の一括読み出しを行う場合、無駄な充放電がないので、消費電力を低減し得る利点がある。

【0046】なお、“0”状態のメモリセルのしきい値電圧の下限を十分高く設定し、ソース電圧によってしきい値低下が生じていても電流が流れないように予め設定しておき、読み出し時にソース電圧による選択メモリセルのしきい値低下を大きくするように選択ソース線の電位を設定すれば、“1”状態(低しきい値状態)のメモリセルの作動電流が増加して読み出しを高速にできる。このような条件は、フローティングゲートとソースの容量結合比を大きくして、ソース電圧をソフトライトが起こらない程度に高くすることで実現できる。フローティングゲートとソースの容量結合比を大きくする構造としては、図2または図3に示すような構造がある。図2及び図3において、1は半導体基板、2はゲート絶縁膜、3はフローティングゲート電極、4は容量絶縁膜、5はゲート電極、8はドレイン領域、9はソース領域である。そして、図2に示す例では、ソース領域9とドレイン領域8とが非対称でソース領域9の方がフローティングゲート3の直下の領域に大きくオーバーラップしている。

また、図3に示す例では、スプリットゲート構造となっており、フローティングゲート3がソース領域9の側に偏って位置している。

【0047】また、“0”状態のメモリセルのしきい値電圧の下限は、例えば書き込み消去動作の条件により十分高く設定できない場合も考えられ、その場合にはソース電圧による選択メモリセルのしきい値低下は好ましくない。そこでフローティングゲートソース領域間の容量結合比をほとんど0にする構成を適用すればソース電圧によるメモリセルのしきい値低下はほとんど起こらない。そのためには、図4に示すようにソース領域9とフローティングゲート電極3の直下の領域との間に半導体基板1と同じ導電型のオフセット領域29を備えた構造としてもよい。ただし、同図において、28はサイドウォールである。

【0048】さらに、図は省略するが、図3に示すようなスプリットゲート構造にして、フローティングゲートがドレイン側に位置しているものでもよい。

【0049】なお、上記第1実施例の駆動方法では選択ソース線の電位を読み出し中間電位 V_{rm} （例えば1V）に設定したが、選択ソース線の電位は読み出し電源電圧 V_{cc} としてもよい。

【0050】さらに、上記第1実施例の駆動方法では選択ビット線の電位をセンスアンプを介して接地電位 V_{ss} に設定したが、センスアンプがリファレンス電位を必要とする場合には選択ビット線の電位を接地電位 V_{ss} より大きく選択ソース線の電位より小さくしてもよい。

【0051】なお、本実施例の不揮発性メモリにはフローティングゲートを備えたものを用いたが、MNOS（metal nitride oxide semiconductor）型メモリセルなどに代表されるMOSトランジスタのチャネル領域上の絶縁膜に電子を注入して、しきい値電圧を変化させるタイプの不揮発性メモリトランジスタを用いてもよい。

【0052】次に、本実施例におけるベリファイ方法について、図5を参照しながら説明する。図5はメモリセルのしきい値電圧分布の概略図を示しており、横軸は不揮発性メモリのしきい値、縦軸は度数を示す。一般的にNOR型の不揮発性メモリでは“1”状態に遷移する書き込み又は消去動作においてベリファイを行なう。ここでもメモリセルが“1”状態に遷移する動作においてベリファイを行なう場合について述べる。

【0053】一般的に、ベリファイ動作では、メモリセルが“1”状態に遷移するバイアス条件で徐々に遷移するようにパルス印加し、その都度所望のメモリセルをセンスアンプで検知して“1”状態になっているかを確認する。所望のメモリセルが“1”状態になっていれば書き込み又は消去動作を終了し、所望のメモリセルが“1”状態になっていなければ再度パルス印加し、所望のメモリセルをセンスアンプで検知することを繰り返す。本実施例では所望のメモリセルをセンスアンプでの検知は、

既に図1で説明した読み出し方法と同様の方法にて行なうが、ベリファイ時には、選択ソース線の電圧をセンスアンプで検知できる程度に、できるかぎり低くする（例えば0.5V）。本実施例のベリファイによってメモリセルのしきい値電圧の分布は図5の実線A～B、C～Dで示したようになる。つまり、“1”状態の下限電位は点Aの電位に、上限電位は点Bの電位に、“0”状態の下限電位は点Cの電位に、上限電位は点Dの電位になるように設定している。

10 【0054】一方、通常の読み出しにおけるソース電圧は、上記図1に示すように、ベリファイ時の読み出しソース電圧より高い読み出し中間電位 V_{rm} （1V）にする。既に図27、28と容量-電位基本関係式で示したように、ソース電圧を高くするとメモリセルのしきい値電圧が低下する。その時、各メモリセルのしきい値の分布状態は、図5の破線A'～B'及びC'～D'で示すように、通常の読み出しにおける“1”状態の下限電位は点A'の電位に、上限電位は点B'の電位に、“0”状態の下限電位は点C'の電位に、上限電位は点D'の電位になる。ここで、図5の破線で示したような分布になるのは選択したメモリセルだけであり、非選択メモリセルは実線に示す分布状態のままである。“1”状態のしきい値電圧の下限電位は非選択メモリセルを誤読み出ししないために設定され、“1”状態のしきい値電圧の上限電位は選択メモリセルの読み出し電流を確保するために設定されている。この条件に鑑み、従来のNOR型不揮発性メモリにおける“1”状態のしきい値電圧の分布は、図5の点線で示すように点Aから点B'の間に制御しなければならない。一方、本実施例のベリファイでは、図5の実線の点Aから点Bの間に制御すればよい。つまり、図26では、0～A'間が0.5V以上でなければならないが、本実施例では、0～A間が0.5V以上であればよく、点A'における電位が負になってもよい。したがって、マージンを大きくすることができる利点がある。

【0055】なお、通常の読み出しにおける“0”状態のしきい値電圧の下限電位（点C'の電位）でも動作電流が流れない程度に過剰にしきい値電圧を高くしておく。

40 【0056】また、上記ベリファイ方法における読み出しでは選択ソース線の電位を例えば0.5Vとしたが、これに限定されるものではない。

【0057】さらに、上記ベリファイ方法における読み出しでは、選択ビット線の電位をセンスアンプを介して V_{ss} にするとしたが、センスアンプがリファレンス電位を必要とする場合には選択ビット線の電位を接地電位 V_{ss} より大きく選択ソース線の電位より小さくしてもよい。

【0058】本実施例では、不揮発性メモリとしてフローティングゲートを備えたものを用いたが、MNOS（metal nitride oxide semiconductor）型メモリセル

などに代表されるMOSトランジスタのチャネル領域上の絶縁膜に電子を注入して、しきい値電圧を変化させるタイプの不揮発性メモリトランジスタを用いてもよい。

【0059】(第2実施例)次に、読み出し時に非選択ソース線の電位をフローティングする方法に係る第2実施例について、図6～図9を参照しながら説明する。ただし、図7、図8は本第2実施例における読み出し動作を説明する回路図及びタイミングチャートであるが、図6、図7は第2実施例と比較を行うために、第1実施例における読み出し動作つまり非選択ソース線の電位をフローティングにしない場合の動作を説明する回路図及びタイミングチャートを示したものである。本実施例における半導体記憶装置のブロック回路図は図24に示した従来の不揮発性半導体記憶装置のブロック回路図と同一であり説明は省略する。また、本実施例における半導体記憶装置のメモリセルアレイ部の全体的な構造は、上記第1実施例における図1に示す構造と同じであり、説明を省略する。

【0060】図6は、上記図1に示すメモリセルアレイ内のメモリセル(T11)及び(T21)、ビット線B1、ソース線S1、S2、ソースデコーダSD1、SD2、センスアンプSA1及びダミーセル(Td)の部分を詳細に示す回路図である。ソースデコーダSD1、SD2内には、それぞれ各ソース線S1、S2に読み出し中間電位V_{rm}を供給するためのMOSトランジスタTR1_m、TR2_mと、各ソース線S1、S2に接地電位V_{ss}を供給するためのMOSトランジスタTR1_s、TR2_sとが配置されている。そして、MOSトランジスタTR1_s、TR2_sのゲートには、それぞれ信号SDO1、SDO2が供給され、MOSトランジスタTR1_m、TR2_mのゲートには、それぞれ信号XDEC1、XDEC2が供給される。なお、この構造はソース線に印加する電位のタイミングを説明するために単純化したものであり、このような構造に限定されるものではない。

【0061】また、NBはビット線ノードであり、ビット線B1とは、信号YSGによって制御される選択トランジスタST1aを介して接続されている。NDはダミービット線ノードであり、ダミービット線DBLとは、信号YSGによって制御される選択トランジスタST1bを介して接続されている。TR_{dm}はダミーセル(Td)のドレインに読み出し中間電位を供給するためのMOSトランジスタであり、信号DXDECによって制御されるものである。TR_{dr}はダミーセル(Td)のソースに接地電位を供給するためのMOSトランジスタであり、信号RESETにより制御されるものである。

【0062】次に、図7のタイミングチャートを参照しながら、第1実施例における読み出し動作について説明する。図7は、メモリセル(T11)を読みだし、次にメモリセル(T21)を読みだし、その後、再度メモリセル(T11)を読みだす場合の各信号の変化を示す。予備動

作として、信号YSGをHighにし、選択トランジスタST1a、ST1bを導通させたまま、信号RESETをわずかの時間だけHighにして、ビットノードNBとダミービット線ノードDBとの電位を接地電位V_{ss}にリセットする。次に、読み出し時においては、メモリセル(T11)～(T_{m1})のいずれか1つを選択し、非選択ソース線の電位を接地電位V_{ss}に設定する一方、選択ソース線の電位を読み出し中間電位V_{rm}に設定する。例えばメモリセル(T11)を読みだす場合、信号SDO1をLowに、信号SDO2をHighにした後、信号XDEC1をLowにし、信号XDEC2をHighに保持しておく。信号XDEC1をLowにすると同時に選択ワード線W1をHighにし、非選択ワード線W2はLowに保持したままにする。このとき、選択したメモリセル(T11)が“1”状態(低しきい値状態)ならばビット線ノードNBの電位が変動し(約200mV程度)、“0”状態(高しきい値状態)ならばビット線ノードNBの電位は変動しない。これと同時に、ダミーセル(Td)によって、ダミーセルビット線ノードNDはリファレンス電位に保持される。そして、ビット線ノードNBとダミーセルビット線ノードNDとの電位差がある程度以上になるタイミングを見計らって、ビット線B1とセンスアンプSA1との接続を切り離すべく、信号YSGをLowに、選択ワード線W1の電位をLowに、信号XDEC1をHighに、信号SDO1をLowにする。その直後に、センスアンプSA1を活性化させるべく、信号ISAEをLowにし、これによりビット線ノードNBとダミーセルビット線ノードNDとの電位差が増幅される。メモリセル(T21)を選択して読みだす場合も同様であり、説明は省略する。

【0063】次に、図8は、第2実施例におけるメモリセルアレイ内のメモリセル(T11)及び(T21)、ビット線B1、ソース線S1、S2、ソースデコーダSD1、SD2、センスアンプSA1及びダミーセル(Td)の部分を詳細に示す回路図である。ソースデコーダSD1、SD2内には、それぞれ各ソース線S1、S2に読み出し中間電位V_{rm}を供給するためのMOSトランジスタTR1_m、TR2_mとが配置されているが、各ソース線S1、S2に接地電位V_{ss}を供給するためのMOSトランジスタTR1_s、TR2_sは配置されていない。つまり、非選択ソース線の電位はフローティングに設定されることになる。

【0064】次に、図9を参照しながら、第2実施例における読み出し動作について説明する。図9は、メモリセル(T11)を読みだし、次にメモリセル(T21)を読みだし、その後、再度メモリセル(T11)を読みだす場合の各信号の変化を示す。予備動作として、信号YSGをHighにし、選択トランジスタST1a、ST1bを導通させたまま、信号RESETをわずかの時間だけHighにして、ビットノードNBとダミービット線ノードDB

との電位を接地電位 V_{ss} にリセットする。次に、読み出し時においては、メモリセル(T11)～(Tm1)のいずれか1つを選択し、非選択ソース線の電位を接地電位 V_{ss} に設定する一方、選択ソース線の電位を読み出し中間電位 V_{rm} に設定する。例えばメモリセル(T11)を読みだす場合、信号 $XDEC1$ をLowにし、信号 $XDEC2$ をHighに保持しておく。信号 $XDEC1$ をLowにすると同時に選択ワード線 $W1$ をHighにし、非選択ワード線 $W2$ はLowに保持したままにする。このとき、選択したメモリセル(T11)が“1”状態(低い値状態)ならばビット線ノードNBの電位が変動し(約200mV程度)、“0”状態(高い値状態)ならばビット線ノードNBの電位は変動しない。これと同時に、ダミーセル(T_d)によって、ダミーセルビット線ノードNDはリファレンス電位に保持される。そして、ビット線ノードNBとダミーセルビット線ノードNDとの電位差がある程度以上になるタイミングを見計らって、ビット線 $B1$ とセンスアンプ $SA1$ との接続を切り離すべく、信号 YSG をLowに、ワード線 $W1$ の電位をLowに、信号 $XDEC1$ をHighにする。その直後にセンスアンプ $SA1$ を活性化させるべく、信号 $ISAE$ をLowにし、これによりビット線ノードNBとダミーセルビット線ノードNDとの電位差が増幅される。メモリセル(T21)を選択して読みだす場合も同様であり、説明は省略する。

【0065】次に、上記第1実施例と第2実施例との読みだし動作について比較する。第1実施例における読みだし方法では、すべてのソース線の電位はMOSトランジスタ $TR1s$ 、 $TR2s$ 等によって接地電位にリセットされるので、ソース線の充放電が生じ、その分だけ電力が消費される。

【0066】それに対し、第2実施例では、非選択ソース線の電位はすべてフローティングに保持されるので、ソース線の充放電は原則として生じない。ただし、例えばソース線 $S2$ に接続されているメモリセルにデプレッション化しているものが1個以上あればリセット時にソース線 $S2$ の電荷はデプレッション化しているメモリセルを通してビット線に放電され、接地電位 V_{ss} にリセットされる。したがって、再びソース線 $S2$ 上のメモリセルを読みだす場合には、ソース線 $S2$ を接地電位 V_{ss} から読みだし中間電位 V_{rm} まで充電しなければならず、その分だけ電力が余分に消費される。しかし、例えばソース線 $S1$ に接続されるすべてのメモリセルがデプレッション化していないときには、ソース線 $S1$ の電荷はリセット時にビット線に放電されることはなく、リーク電流などにより幾分電位が低下したとしても、ほぼ読みだし中間電位 V_{rm} に保持される。したがって、再びソース線 $S1$ 上のメモリセルを読みだす場合には、ソース線の充放電は極めて少なく、よって、消費電力の低減を図ることができる。

【0067】(第3実施例)次に、第3実施例の半導体記憶装置及びその駆動方法について、図10～18を参照しながら説明する。本実施例における半導体記憶装置のブロック回路図は図24に示した従来の不揮発性半導体記憶装置のブロック回路図と同一であり説明は省略する。図10には、本実施例における半導体記憶装置のメモリセルアレイ部を示し、基本的な構造は上記第1実施例における図1に示す構造と同じである。すなわち、各トランジスタ $T11$ ～ Tmn を内蔵するメモリセルを m 行 n 列の行列状に配置して構成され、メモリセル(T11)～(Tmn)、ワード線 $W1$ ～ Wm 、ビット線 $B1$ ～ Bn 、ソース線 $S1$ ～ Sm 、各列選択用トランジスタ $ST1$ ～ STn 、センスアンプ $SA1$ ～ SA_n 、ロウデコーダ $RD1$ ～ RD_m 、カラムデコーダ、ソースデコーダ $SD1$ ～ SD_m の構造と配置関係は、第1実施例における図1に示す構造と同じである。

【0068】ここで、本実施例の特徴として、図1に示す構成に加え、各トランジスタ $T11$ ～ Tmn のソースと各ソース線 $S1$ ～ Sm との間に、ソース線側からトランジスタ側への電流の流通のみを許容するダイオード $D11$ ～ Dmn がそれぞれ配置されている。そして、この各ダイオード $D11$ ～ Dmn により、各経路 $P11$ ～ Pmn において、各トランジスタ $T11$ ～ Tmn のソースからドレイン方向(順方向)に流れる電流は各トランジスタ $T11$ ～ Tmn の動作電流とほぼ等しく、ドレインからソース方向(逆方向)に流れる電流はほとんど遮断されあるいは低減されるという電流特性が得られる。すなわち、このダイオード $D11$ ～ Dmn は電流の方向によって抵抗値が変化する異方向抵抗部である。ただし、異方向抵抗部は、逆方向における電流値がほぼ完全に遮断されるというダイオードとしての機能を必ずしも有しなくても、逆方向の電流値が順方向に比べて小さいものも含まれるが、以下の実施例では、便宜上すべてダイオードとして表現する。

【0069】次に、図10を参照しながら、本実施例における読み出し方法について説明する。ここではワード線 $W2$ 、すなわちメモリセル(T21)～(T2m)を一括に読み出す場合について説明するものとし、メモリセル(T11)と(T12)はデプレッション化していると仮定する。選択ワード線 $W2$ の電位を読み出し電源電圧 V_{cc} (例えば5V)に設定し、非選択ワード線 $W1$ 、 Wm の電位を接地電位 V_{ss} (例えば0V)に設定する。同時に選択ソース線 $S2$ の電位を読み出し中間電位 V_{rm} (例えば1V)に設定し、非選択ソース線 $S1$ 、 Sm の電位を接地電位 V_{ss} に設定する。また、ビット線 $B1$ ～ Bn の電位をセンスアンプを介して接地電位 V_{ss} に設定する。実際には、ビット線 $B1$ ～ Bn にはセンスアンプが接続されているため、ビット線 $B1$ ～ Bn の電位は接地電位 V_{ss} から僅かに変動するが、ここでは説明を簡単にするために、ビット線 $B1$ ～ Bn の電位は一定の電圧(接地電位 V_{ss})であるとする。例えば、メモリセル(T22)

が“0”状態ならばメモリセル(T22)は作動せず電流を流さない。また、メモリセル(T12)は過剰にデプレッション化しているが、ビット線B2とソース線S1の電位が同じでVssであるため、メモリセル(T12)には電流が流れない。したがって、ビット線B2には電流が流れず、メモリセル(T22)が“0”状態にあることを検知できる。一方、例えば、メモリセル(T21)が“1”状態ならばメモリセル(T21)が作動して電流が流れ、ビット線B1には電流が流れ、メモリセル(T21)が“1”状態にあることを検知できる。

【0070】ここで、メモリセル(T11)はデプレッション化しているが、本実施例では第1実施例と異なり、メモリセル(T21)が作動してビット線B1に流れた電流が、メモリセル(T11)を経てソース線S1に流れ出してしまうことをダイオードD11によって防いでいる。また、非選択ソース線S1と全てのビット線の電位が等しくVssであるために電流は流れにくい。ダイオードD11は逆バイアスでも僅かにリーク電流を流すが、実施例のワード線に接続されている全てのメモリセルを一括に読み出す方法では上記リーク電流をも抑制することができ低消費電力化できる。

【0071】以上のように、ワード線W2とソース線S2にのみに読み出し用の電位を印加するだけで、メモリセル(T21)～(T2m)を一括に読み出すことができ、読み出し頻度が多い場合やベリファイ時の読み出し動作では充放電する配線が従来の不揮発性半導体記憶装置に比べて少なく、低消費電力化できる。

【0072】また、ビット線と非選択ソース線は接地電位になっているため、非選択メモリセルにおけるドレイン電圧によるしきい値低下はなく、ドレイン電圧によるしきい値低下に起因する誤読み出しは起こらない。

【0073】なお、上記選択ソース線には読み出し中間電位が印加されて、ソース電圧による選択メモリセルのしきい値低下が起こる。ソース電圧による選択メモリセルのしきい値低下を積極的に利用して、読み出し動作速度を高速にしてもよく、また、ソース電圧による選択メモリセルのしきい値低下を防止してもよく、これらは第1実施例と同様に適用できる。これらに関しては既に第1実施例で述べており、説明は省略する。

【0074】次に、本実施例においてワード線の電位を接地電位Vssにしたまま読み出す方法について説明する。読み出し方法は図10で示した読み出し方法において全てのワード線W1～Wmの電位を接地電位Vss(例えば0V)に接地したものであり、図面は省略する。本実施例の“1”状態におけるメモリセルのしきい値電圧を予め負に設定しておけば、メモリトランジスタはワード線の電位を接地電位Vss(例えば0V)にしても、“1”状態ならば電流を流し、“0”状態ならば電流を流さないため、図10で示した読み出し方法において全てのワード線W1～Wmの電位を接地電位Vss(例えば

0V)に設定しても、メモリセルの状態をビット線電流を検知することでデータを読みだせる。すなわち選択ソース線S2の電位を読み出し中間電位Vrm(例えば1V)に設定し、非選択ソース線S1、…、Smの電位を接地電位Vssに設定し、ビット線の電位をセンスアンプを介して接地電位Vssに設定することでソース線を選択したメモリセル(T21)～(T2m)を一括で読み出すことができるのである。したがって読み出し時にワード線電位の変動がなく一層の低消費電力化と低電源電圧化が可能である。

【0075】上記第3実施例の読みだし方法では、選択ソース線の電位を読み出し中間電位Vrm(例えば1V)としたが、選択ソース線の電位は読み出し電源電圧Vccとしてもよい。

【0076】上記第3実施例の読みだし方法ではビット線の電位をセンスアンプを介して接地電位Vssに設定するとしたが、センスアンプがリファレンス電位を必要とする場合には選択ビット線の電位を接地電位Vssより高く読み出し中間電位Vrmより低く設定してもよい。

【0077】上記実施例における読み出し動作では、選択ソース線に読み出し中間電位が印加されて、ソース電圧による選択メモリセルのしきい値低下が起こる。ソース電圧による選択メモリセルのしきい値低下を積極的に利用して、読み出し動作速度を高速にしてもよく、また、ソース電圧による選択メモリセルのしきい値低下を防止してもよく、これらは第1実施例と同様に適用できる。これらに関しては既に第1実施例で述べており、説明は省略する。

【0078】本実施例における異方向抵抗部を有する半導体記憶装置の構造には各種のものがある。以下、その構造例及びその製造工程について説明する。

【0079】図11(a)～(c)及び図12(a)～(c)は、第1構造例に係るメモリセルの製造工程を示すものである。図11(a)に示す工程では、P型半導体基板1の上に、トンネルSiO2膜2、フローティングゲート3、容量絶縁膜4、コントロールゲート5及び保護用SiO2膜を形成し、スタック型フローティングゲート構造を形成する。図11(b)に示す工程では、基板全面にレジスト7を塗布した後ダイオードを形成する領域を開口し、P+イオン注入を行ない、低濃度のn-層9を形成する。図11(c)に示す工程では、レジスト10を塗布した後ダイオードを形成する領域を残して開口し、As+イオン注入を行ない、高濃度のn+層21を形成する。図12(a)に示す工程では、保護膜としてSiO2膜22をCVD法により堆積する。図12(b)に示す工程では、レジスト23を塗布してダイオードを形成する領域を開口し、異方性エッチング法によりSiO2膜22をエッチングバックしダイオードを形成する領域のゲート側壁にサイドウォール24を残す。図12(c)に示す工程では、タンダステンシリサイド

膜25をパターニングし、ショットキーダイオードを形成する。上記タングステンシリサイド膜25は配線層としてパターニングしてもよいし、コンタクトの埋め込み層としてパターニングしてもよい。以上の工程で形成されたショットキーダイオードが異方向抵抗部として機能する。

【0080】次に、図13(a)～(d)は、第2構造例に係るメモリセルの製造工程を示すものである。図13(a)に示す工程では、P型半導体基板1の上に、トンネルSiO₂膜2、フローティングゲート3、容量絶縁膜4、コントロールゲート5及び保護用SiO₂膜を形成し、スタック型フローティングゲート構造を形成する。図13(b)に示す工程では、レジスト25を塗布し、ダイオードを形成する領域を残して開口し、As⁺イオン注入を行い高濃度n⁺層27を形成する。図13(c)に示す工程では、SiO₂膜を堆積してエッチバックすることでサイドウォール28を形成する。図13(d)に示す工程では、As⁺イオン注入を行い高濃度n⁺層30を形成する。図13(d)ではn⁺層30はフローティングゲートからオフセットされており、オフセットの大きさはサイドウォール28の膜厚で制御する。図13(d)に示すオフセット領域29が異方向抵抗部として機能する。図13(d)に示すメモリセルの例は明確なダイオード構造を有していないが、ダイオードと同様の特性が得られる。図14は、図13(d)に示すオフセットトランジスタの電気特性をシミュレーションしたものである。縦軸はトランジスタの動作電流、横軸はゲート（フローティングゲート）電圧であり、実線はオフセット領域29と隣接するn⁺層を高電位にした場合（順方向）の特性を、点線はオフセット領域29と隣接するn⁺層30を低電位にした場合（逆方向）の特性をそれぞれ示す。ゲート長は0.5ミクロンでオフセット量は0.2ミクロンであり、ドレインソース間電圧は1Vである。同図から、順方向と逆方向では電流値が2桁以上異なっていることがわかる。

【0081】図15(a)～(c)は、第3構造例に係るメモリセルの製造工程を示す。図15(a)に示す工程では、上記第1、第2構造例の製造工程と同様に、スタック型フローティングゲート構造を形成する。図15(b)に示す工程では、レジスト31を塗布し、ダイオードを形成する領域を残して開口し、斜め方向からのBF₂+イオン注入を行って、ゲート下に深く入り込んだp層33を形成する。BF₂+イオン注入は大傾角で行うことが望ましく、45度 60KeV 6E12atoms/cm²が適当と思われるが、この条件に限定されるものではない。図15(c)に示す工程では、As⁺イオン注入を行い高濃度n⁺層30を形成する。図15(c)に示すように、まずp層33を形成して高濃度n⁺層30を後退させたことにより、p層33-高濃度n⁺層30間がダイオードとして機能する。

【0082】なお、p層33の濃度を濃くしてn⁺層30がゲートに対してオフセットになってもよい。図15のメモリセルの例は図13のメモリセルの例よりもサイドウォール工程が必要ないと言う特徴がある。図16は、図15(c)の構造を有するメモリセルの電気特性をシミュレーションしたものである。縦軸はトランジスタの動作電流、横軸はゲート（フローティングゲート）電圧であり、実線は順方向の特性を、点線は逆方向の特性をそれぞれ示す。ゲート長は0.5ミクロンでp層33の濃度は1E18atoms/cm³であり、オフセット状態にはなっていない、ドレインソース間電圧は1Vである。順方向と逆方向では電流値が1桁以上異なっていることがわかる。

【0083】図17(a)～(c)及び図18(a)、(b)は、第4構造例に係るメモリセルの製造工程を示すものである。図17(a)～(c)に示す工程では、図12(a)～(c)に示す工程と同様に、スタック型フローティングゲート構造を形成しPNダイオードを形成する領域にP⁺イオン注入を行ない、低濃度のn⁻層9を形成し、PNダイオードを形成しない領域にAs⁺イオン注入を行ない、高濃度のn⁺層21を形成する。その後、図18(a)に示す工程で、保護膜としてSiO₂膜22をCVD法により堆積する。次に、PNダイオードを形成する領域にSiO₂膜22をエッチングバックしPNダイオードを形成する領域のゲート側壁にサイドウォール24を残す。その後、図18(b)に示すように、レジスト31を塗布し、PNダイオードを形成する領域を開口し、BF₂+イオン注入を行ってp層61を形成する。これにより、p層61-n⁻層9間に異方向抵抗部として機能するPNダイオードが形成される。

【0084】以上に示したメモリセルは従来のスタック型フローティングゲート構造メモリセルトランジスタのソース領域に相当する領域にダイオードが形成されており、メモリセルの面積を増加させることはない。

【0085】なお、本実施例の不揮発性メモリにはフローティングゲートを備えたものを用いたが、MNOS (metal nitride oxide semiconductor) 型メモリセルなどに代表される、MOSTランジスタのチャネル領域上の絶縁膜に電子を注入して、しきい値電圧を変化させるタイプの不揮発性メモリトランジスタを用いてもよい。

【0086】（第4実施例）以下、第4実施例の半導体記憶装置の駆動方法について、図19～図23を参照しながら説明する。本実施例における半導体記憶装置のブロック回路図は図24に示した従来の不揮発性半導体記憶装置のブロック回路図と同一であり説明は省略する。図19は本実施例における半導体記憶装置のメモリセルアレイ部を示し、第1実施例に示すメモリセルアレイの構造を高集積化のために改良したものである。本実施例では、図19に示すように、例えば2個のメモリセル

23

(T21a)と(T21b)のドレインは共通の配線を介して共通のビット線B1に接続されており、メモリセル(T21a)のソースはソース線S2に、メモリセル(T21b)のソースはソース線S3にそれぞれ接続されている。すなわち、一対のメモリセル(T21a)、(T21b)のソースは個別のソース線S2、S3に接続される一方、各メモリセル(T21a)、(T21b)のドレインは共通のビット線B1に接続されている。また、この一対のメモリセル(T21a)、(T21b)の隣接領域にはメモリセルが配置されていない。そして、ビット線B2

に対し、各一対のメモリセル(T12a)、(T12b)と(T32a)、(T32b)とが2ビット分の間隔を隔てて配置されている。メモリセル(T12b)のソースは、メモリセル(T21a)と共通のソース線S2に接続されている。他方の一対のメモリセル(T32a)、(T32b)の接続状態も同様である。

【0087】以上の結果、ソース線S1、S2の間に2本のワード線W1a、W1bを、ソース線S2、S3の間に2本のワード線W2a、W2bを配置し、ビット線B1～B3は、ワード線とソース線とに直行するように配置する。そして、これらの配線で形成される行列上の領域に、2ビット組のメモリセル(T)がチェッカー模様状に配置されている。なお、各メモリセル(T)のゲートはワード線に接続され、NOR型メモリセルを配置している。また、ワード線W1a、W1b～W3a、W3bはそれぞれロウデコーダに、ソース線S1～S3はそれぞれソースデコーダに、ビット線B1～B3はそれぞれ列選択用トランジスタST1～ST3を介してセンスアンプSA1～SA3に接続され、カラムデコーダに接続されている。

【0088】また、図20に示す構造では、上記図19に示すチェッカー模様状のメモリセルアレイ構造において、各メモリセルを構成するメモリトランジスタのソース側に上記第3実施例で述べたような異方向抵抗部を介した例を示す。この例ではソース線S1、S2、…とメモリトランジスタの間にダイオードD12a、D12b、D21a、…が配置されているが、各ドレインとメモリトランジスタとの間にダイオードを配置してもよい。

【0089】次に、本実施例におけるメモリセル(T)の構造について説明する。図21(a)はビット線方向の構造を示す断面図、図21(b)はそれに対応する平面図である。また、図22は平面図においてフローティングゲートのパターンニングを示したものである。図23はメモリセル単体のワード線方向の構造断面図を示す。各図において、51は素子分離、52はソース配線、53は保護絶縁膜、54は層間絶縁膜、55はビット配線、56はソース線コンタクト、57はビット線コンタクト、58は活性領域、59はパターンニング後のフローティングゲートである。図18に示すように、長辺方向がデザインルールLの5倍で短辺方向がデザインルールLの長方形の活性領域58を折り重なるように形成

24

し、フローティングゲート59は上記活性領域58の長辺方向に直線状にパターンニングする。図21(b)に示すようにワード線であるコントロールゲート5はデザインルールのラインとスペースで等間隔にパターンニングされ、容量絶縁膜4とフローティングゲート59とトンネルSiO₂膜2を自己整合的にエッチングする。ソース30をイオン注入により形成し、形成後SiO₂膜22を堆積する。SiO₂膜22をエッチバックし、サイドウォール28を形成し、イオン注入によりオフセットドレイン27を形成する。オーバーサイズでビットコンタクト57を露光し、配線材料とSiO₂膜53を堆積し、ソース配線52をパターンニングする。層間膜54を堆積し、ビットコンタクト57をオーバーサイズで露光し、層間膜54をエッチバックし、ビットコンタクト57を開ける。配線材料を堆積し、ビット配線55をパターンニングする。図21(b)の平面図に示すようにメモリセルのチャネル幅方向はビット線のデザインルールとビットコンタクト57のマスクの合わせマージンにより律速されている。図23に示すように、メモリセル単体のワード線方向の構造断面は活性領域に対してフローティングゲート3が非対称形である。このことは上記フローティングゲート59を上記活性領域58の長辺方向に直線状にパターンニングしたこと起因するもので、デザインルールが小さくなるほど直線状の方がパターンニングしやすく、微細化できる利点がある。

【0090】なお、図21等に示すレイアウトはマスクの合わせマージンをデザインルールの半分と仮定しており、セル面積はデザインルールの二乗の1.1倍になっているが、マスクの合わせマージンは露光技術に依存するものであり、デザインルールの半分に限定しなくてもよい。

【0091】なお、図21等に示すメモリセルは、上記図13(d)に示したオフセット領域を内蔵した構造を有するフローティングゲートメモリセル(第3実施例における第2構造例)を用いているが、これに限定するものではなく、第1、第3、第4構造例に示す構造のメモリセルを用いてもよい。

【0092】また、本実施例において、活性領域58を長方形としたが、露光技術などの必要に応じて部分的に変形してもよい。

【0093】さらに、本実施例において、フローティングゲート59とコントロールゲート5とソース配線52は直線状であるとしたが、露光技術などの必要に応じて部分的に変形してもよい。

【0094】また、本実施例においてソース配線52は配線材料であるとしたが、拡散層で形成してもよい。

【0095】次に、図19を参照しながら、本実施例の読み出し方法について説明する。本実施例では読み出し方法は第1実施例と同様の電圧関係で読み出す。図19あるいは図20に示すように、例えば2本のワード線W

1b, W2aの電位を読み出し電源電圧(例えば、5 V)に、非選択ワード線W1a, W2b~W3bの電位を接地電位(例えば、0 V)にし、ソース線S2の電位を読み出し中間電位(例えば、1 V)にし、非選択ソース線S1, S3~S4の電位を接地電位(例えば、0 V)、全てのビット線の電位をセンスアンプを介して接地電位(例えば、0 V)にし、ワード線W1b, W2aに接続されている全てのメモリセルを一括読み出しする。

【0096】なお、図20の構造のごとく、第3実施例と同様にダイオードを介設した構造のメモリセルアレイの場合には、第3実施例と同様にワード線の電位を接地電位にしたまま読み出ししてもよい。

【0097】また、デプレッション化するメモリセルが発生しないように、しきい値電圧を制御すれば、第1実施例と同様に1本のワード線を一括に読み出すようにしてもよい。

【0098】なお、本実施例の不揮発性メモリにはフローティングゲートを備えたものを用いたが、MNOS (metal nitride oxide semiconductor) 型メモリセルなどに代表される、MOSTランジスタのチャネル領域上の絶縁膜に電子を注入して、しきい値電圧を変化させるタイプの不揮発性メモリトランジスタを用いてもよい。

【0099】

【発明の効果】以上説明したように、請求項1又は2の発明によれば、不揮発性メモリセルを行列上に配列したメモリセルアレイ構造を有する半導体記憶装置において、メモリセルの記憶内容を読み出す際、ビット線の電位を選択ソース線の電位よりも低く設定するようにしたので、非選択メモリセルの誤差動による誤読み出しを可及的に防止することができる。

【0100】請求項3の発明によれば、非選択ソース線の電位をビット線の電位に等しく設定するようにしたので、選択ビット線に接続されるメモリセルにおける誤読み出しを確実に防止することができる。

【0101】請求項4の発明によれば、ソース線における充放電の抑制により、消費電力の低減を図ることができる。

【0102】請求項5の発明によれば、メモリセルの記憶内容の読み出しの際、選択ソース線上のメモリセルを一括読み出しするようにしたので、読み出し回数の低減とソース線における充放電の回避とを図ることができ、よって、消費電力の顕著な低減を図ることができる。

【0103】請求項6の発明によれば、メモリセルの記憶内容の読み出しの際、非選択ビット線の電位をフローティングにするようにしたので、ビット線上への充放電による電力の消費を抑制することができる。

【0104】請求項7の発明によれば、ベリファイ時の読み出し動作のソース電圧を通常の読み出し動作のソース電圧より低くするようにしたので、半導体記憶装置の

しきい値の設計マージンを大きく確保することができる。

【0105】請求項8の発明によれば、ソース電圧によるしきい値電圧の低下を大きくようにしたので、メモリセルの相互コンダクタンスを大きくして読み出し動作を高速にすることができる。

【0106】請求項9又は10の発明によれば、不揮発性メモリセルにスプリットゲート構造でソース側にフローティングゲートを設けたメモリトランジスタを用いたので、フローティングゲートのソース側の容量結合比を大きくドレイン側の容量結合比を殆ど0にすることができ、よって、ソース電圧によるしきい値電圧の低下量を大きくすることができる。

【0107】請求項11の発明によれば、読み出し電圧を接地電圧に設定して、メモリセルの記憶内容の読み出しを行うようにしたので、読み出し時におけるワード線の電位の変動をなくすことができ、よって、消費電力の低減を図ることができる。

【図面の簡単な説明】

【図1】第1実施例の半導体記憶装置の構成及び読み出し動作を説明するための電気回路図である。

【図2】第1実施例の非対称ソース、ドレイン構造を有するメモリセルの断面図である。

【図3】第1実施例のスプリットゲート構造を有するメモリセルの断面図である。

【図4】第1実施例のオフセット構造を有するメモリセルの断面図である。

【図5】第1実施例のメモリセルのしきい値電圧分布の概略図である。

【図6】第1実施例の半導体記憶装置のメモリセルアレイの詳細構造を示す電気回路図である。

【図7】第1実施例の読みだし方法における各部の信号の変化を示すタイミングチャート図である。

【図8】第2実施例の半導体記憶装置のメモリセルアレイの詳細構造を示す電気回路図である。

【図9】第1実施例の読みだし方法における各部の信号の変化を示すタイミングチャート図である。

【図10】第3実施例のメモリセルアレイの構成と読みだし方法を説明するための電気回路図である。

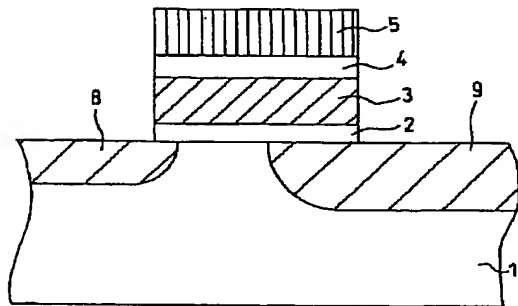
【図11】第3実施例の第1構造例に係るメモリセルの製造工程のうちn+層を形成するまでの工程における構造の変化を示す断面図である。

【図12】第3実施例の第1構造例に係るメモリセルの製造工程のうちSiO₂膜の形成後ショットキーダイオードを形成するまでの工程における構造の変化を示す断面図である。

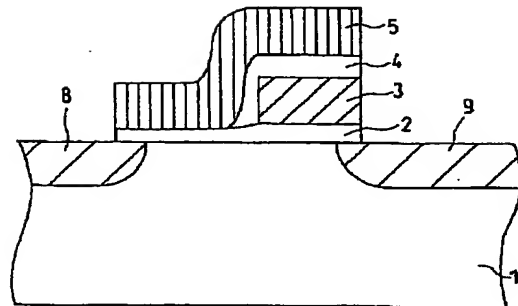
【図13】第3実施例の第2構造例に係るオフセット構造メモリセルの製造工程における構造の変化を示す断面図である。

【図14】第3実施例の第2構造例に係るオフセット構

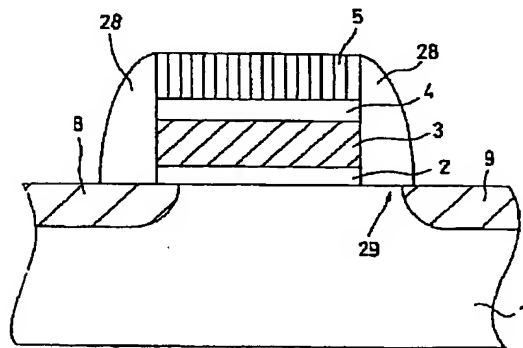
【図2】



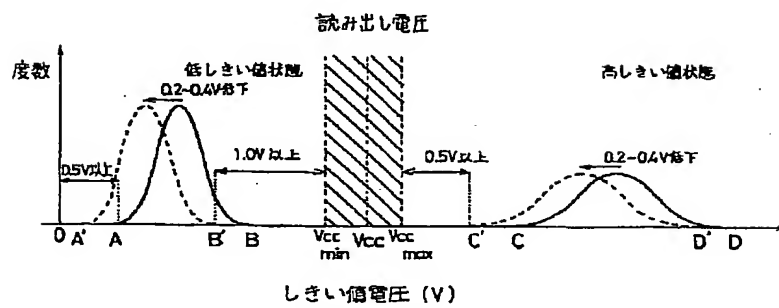
【図3】



【図4】



【図5】



Timing diagram for the 74VHC04 inverter. The diagram shows the relationship between various signals and the output YSG over three propagation delay periods. The signals are: RESET, YSG, XDEC1, XDEC2, SDE01, SDE02, S1, S2, W1, W2, XSAE, and NB. The output YSG is shown as a square wave that transitions from low to high when the input XSAE transitions from high to low. The timing is divided into three sections: T11 (output delay), T21 (output delay), and T11 (output delay).

Timing diagram for the 78C55C showing signals RESET, Y5G, XDEC1, XDEC2, S1, S2, W1, W2, XSAE, and NB across three cycles. The diagram shows the relationship between these signals and the output of the 78C55C.

RESET: High pulse at the start of each cycle.

Y5G: High pulse during the first half of each cycle.

XDEC1: High pulse during the first half of each cycle.

XDEC2: High pulse during the second half of each cycle.

S1: High pulse during the first half of each cycle.

S2: High pulse during the second half of each cycle.

W1: High pulse during the first half of each cycle.

W2: High pulse during the second half of each cycle.

XSAE: High pulse during the first half of each cycle.

NB: High pulse during the first half of each cycle.

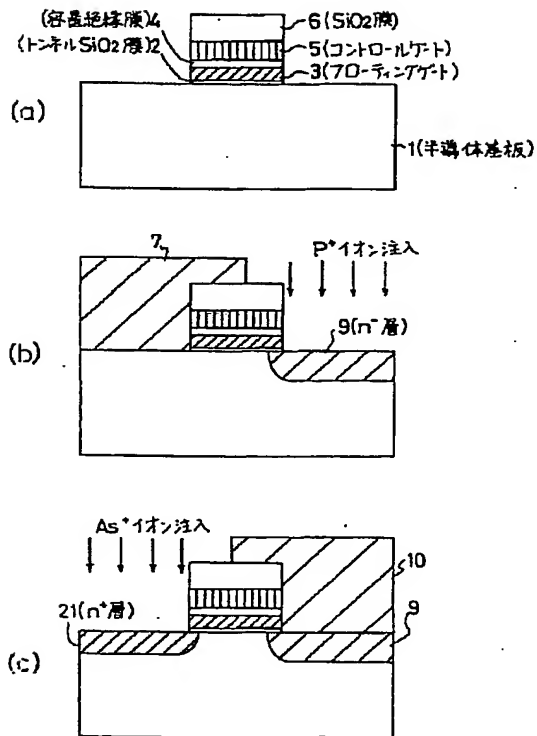
Labels at the bottom of the diagram indicate the state of the output during each cycle:

- T11に読み出す (Read from T11)
- T21に読み出す (Read from T21)
- T11に読み出す (Read from T11)

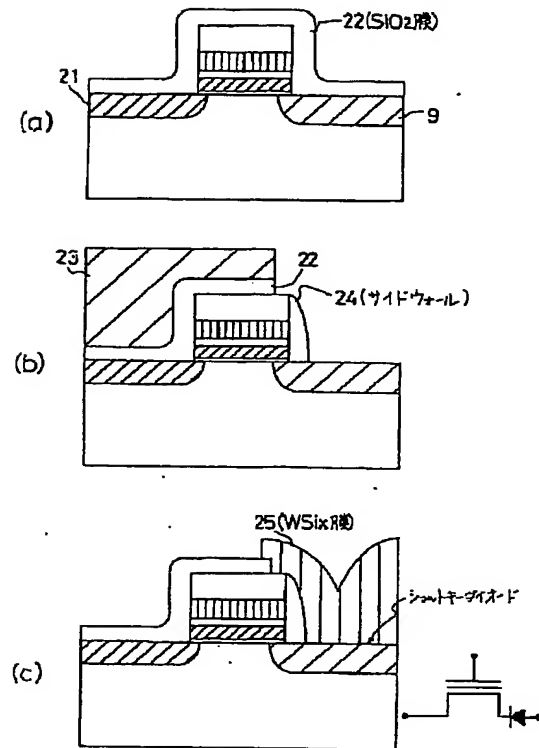
Figure 1 consists of three cross-sectional diagrams labeled (a), (b), and (c), illustrating the fabrication of a semiconductor device.

- (a)** Shows a substrate with a thin layer 1. On top of layer 1 is a stack of layers 2, 3, 4, and 5. Layer 2 is the bottom-most of the stack, followed by 3, 4, and 5 on top.
- (b)** Shows the same structure as (a), but with a mask 31 covering layer 2. Ion implantation of BF_2^+ ions is shown entering layer 3 through the mask. A region 33 is indicated in the substrate below layer 3.
- (c)** Shows the same structure as (b), but with a mask 30 covering layer 2. Ion implantation of As^+ ions is shown entering layer 3 through the mask. A region 33 is indicated in the substrate below layer 3.

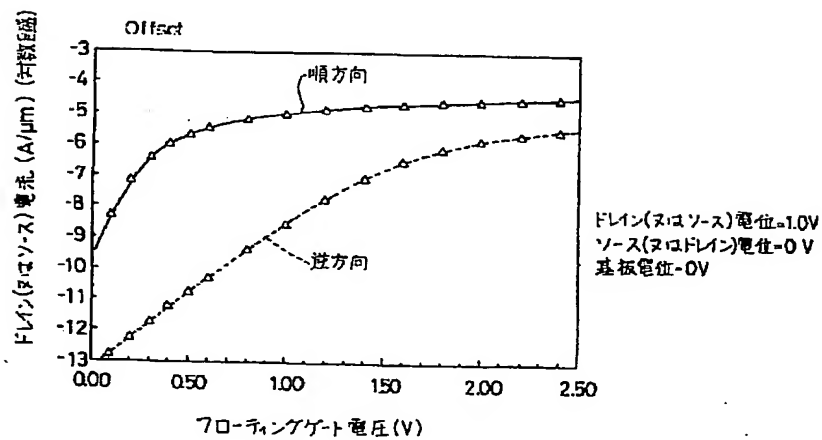
【図11】



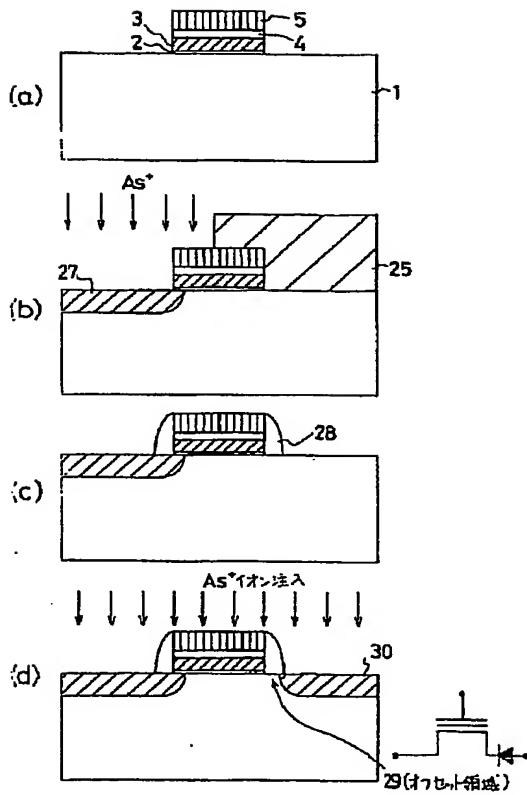
【図12】



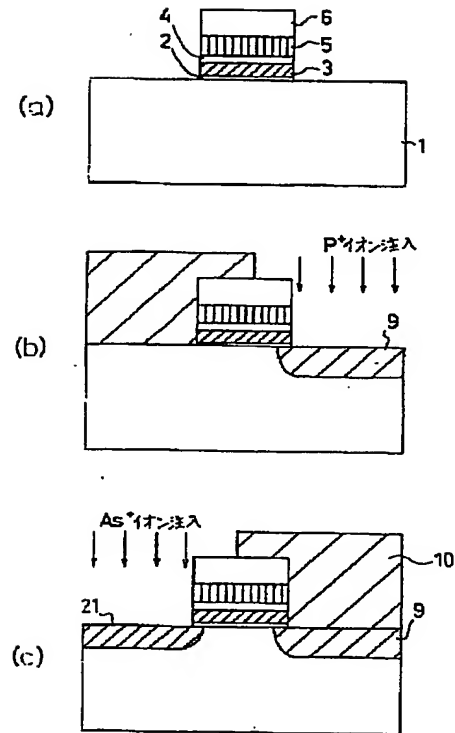
【図14】



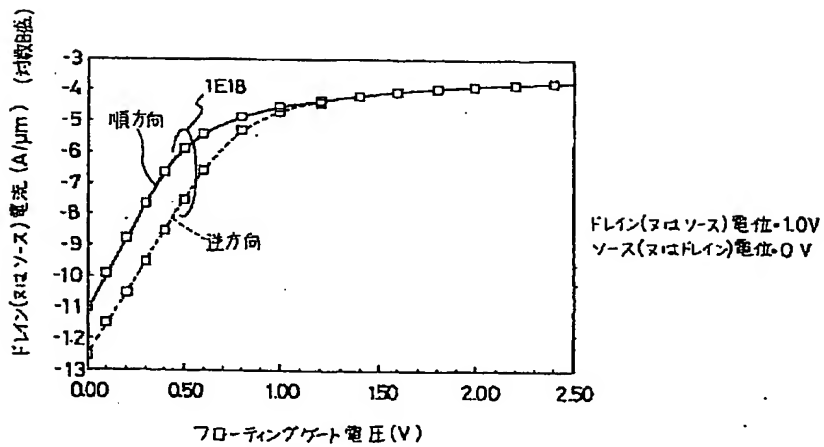
【図13】



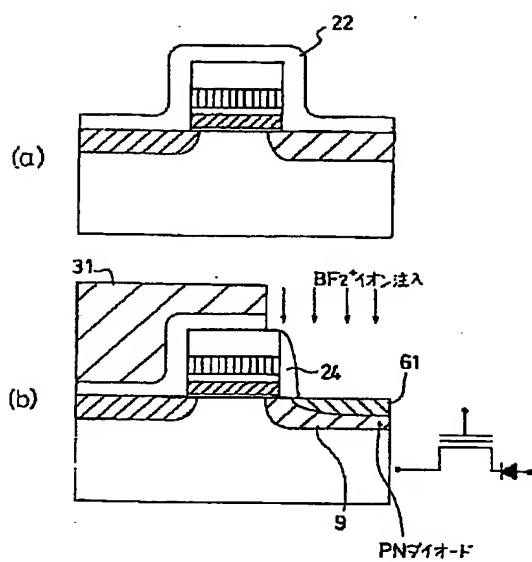
【図17】



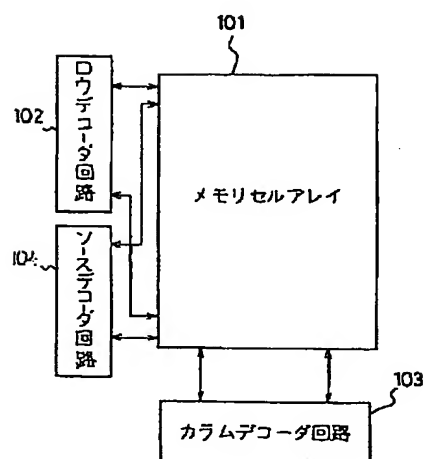
【図16】



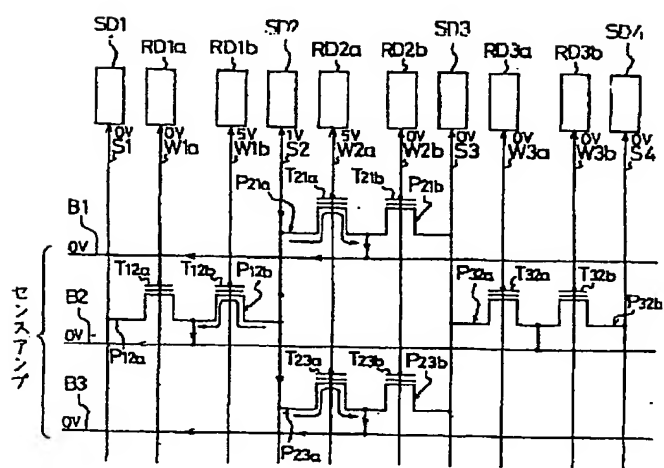
【図18】



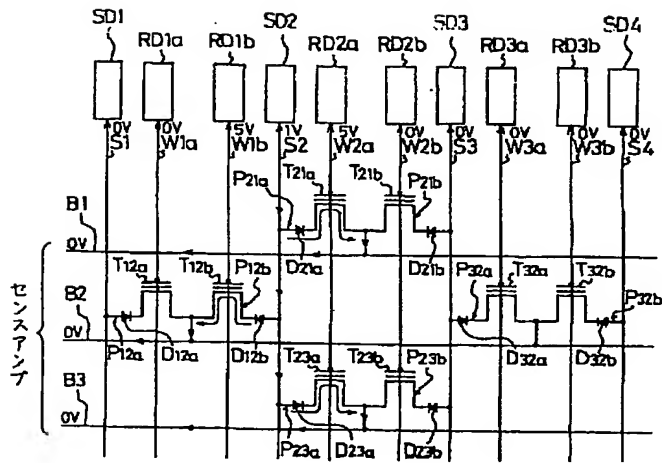
【図24】



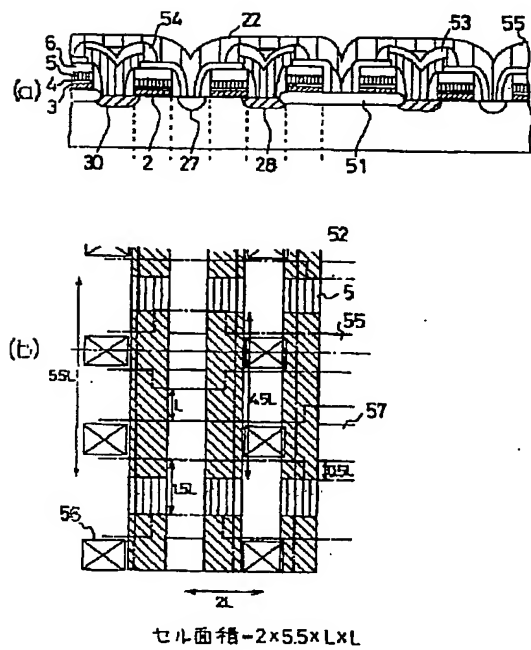
【図19】



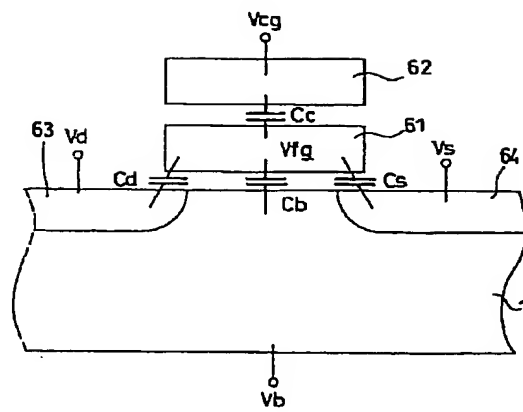
【図20】



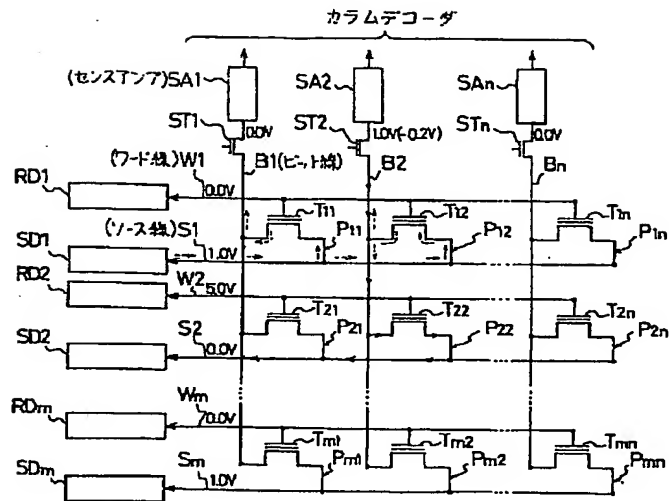
【図21】



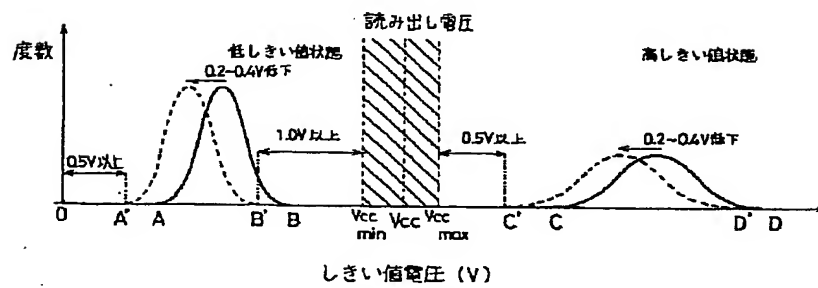
【図27】



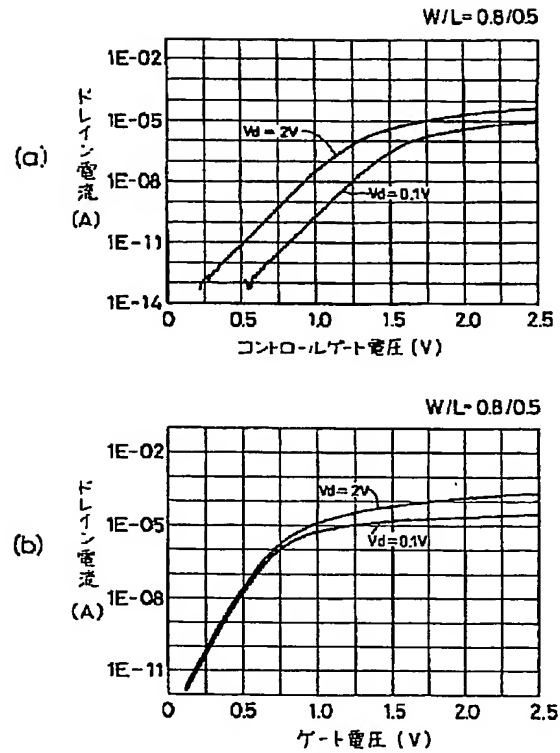
【図25】



【図26】



【図28】



フロントページの続き

(51)Int. Cl.⁶H01L 29/788
29/792

識別記号

庁内整理番号

FI

技術表示箇所

H01L 27/10 434
29/78 371

(72)発明者 森 俊樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中尾 一郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内